MaxPlusII – Symulacja projektu

Oprogramowanie MaxPlusII i Quartus umożliwia weryfikację projektu układu umieszczanego w FPLD. Przykładowe postępowanie podczas symulowania projektu zostanie pokazane na przykładzie prostego układu, którego schemat pokazano poniżej.

Przykładowy schemat

1.0 V	AAX+plı	us II - z:\altera\a	altera									
MAX	+plus II	File Edit View	Symbol Assig	in Utilities	Options N	Window	Help					
	2 🖬 🧉	3 X B 🔁 🕫	N? 🛆 🗟 🖻	8 🖄 🚜	à a à			🚰 🖀 🗛 Arial	• 12	•		4 Bt
	😹 alte	era. gdf - Graphi	c Editor									
A												
\mathbf{N}						_	400	ount				
7	32	LOAD	\square	<u>INPUT</u> VCC		d	LDN					
	33	D0	\square	<u>INPUT</u> VCC			A					
Q	34	D1	\square				В	QA		OUTPUT 42	-	WY0
E	35	D2	\square	INPUT VCC			С	QB		OUTPUT 43	$-\Box$	WY1
+-	36	D3	\square	INPUT VCC			D	QC		OUTPUT 44	-	WY2
**•	37	CIN	\square	INPUT VCC			CIN	QD		OUTPUT 45	-	WY3
	38	D/U	\square	INPUT VCC			DNUP	COUT		OUTPUT 46	$\neg \Box >$	CAR
	39	PR	\square	INPUT VCC		d	SETN					
	40	CLR	\square	INPUT VCC		d	CLRN					
	41	СК	\square	INPUT VCC			CLK					
						31	COU	NTER				

Symulowany będzie układ reprezentowany przez symbol 4count z biblioteki mf.

Kompilacja projektu

Jeżeli celem symulacji jest zweryfikowanie projektu w docelowym układzie proces kompilacji należy poprzedzić wyborem tego układu (problem ten omówiono w **SML3_ALTERA-konfg.pdf**).

Moduł kompilacji programu MaxPlusII można wywołać na wiele sposobów np. wciskając klawisze **Ctrl+L** lub wybrać w menu *Max+plus II* funkcję *Compiler*. Symulacji można poddać bezbłędny projekt a zatem po wystąpieniu błędu należy odczytać komunikaty błędów.



Wciskając na odpowiednią strzałkę w przycisku "Message" można przesuwać się na liście błędów a po wciśnięciu przycisku "Locate" edytor schematów (bądź tekstu gdy projekt jest opisany w AHDL) wskaże miejsce błędu.

Przygotowanie pliku z opisem symulacji

Opis symulacji rozpoczyna się od wyboru w środowisku MaxPlusII edytora przebiegów czasowych z menu *Max+PlusII* funkcja *Waveform Editor* lub w menu *File* należy wybrać opcję *New...* wskazując **Waveform Editor File** i rozszerzene **scf**. Po otwarciu okienka "Untitled1 – Waveform Editor" można rozpocząć opis projektu.

W okienku tym projektant musi wymienić sygnały wyjściowe, które chce obserwować oraz wszystkie sygnały wejściowe, które mają wpływ na nie.



Symulowane sygnały umieszczane są w kolumnie "Name". Aby wskazać je należy wybrać w menu *Node* funkcję *Insert Node* albo umieścić kursor w kolumnie Name i dwukrotnie wcisnąć lewy przycisk myszki.

Po otwarciu okienka "Insert Node" można w pole "Node Name" wpisać nazwę sygnału lub po wciśnięciu przycisku ekranowego "List" wybrać go z listy "Node& Groups from SNF". Typ sygnału zostanie określony automatycznie a w przypadku sygnału wejściowego można przypisać mu wartość domniemaną.

Znaczniki umieszczone w obszarze "Type" pozwalają wskazać typ sygnałów, które mają być wyświetlane w "Node& Groups from SNF".

Gdy tak jak na rysunku obok interesujący nas sygnał nie jest wyprowadzony na końcówkę układu

altera.gdf - Graphic Editor				<u> </u>
	4count			^
	A			
	B QA			
	C QB		\rightarrow WY1	
	D QC	📸 altera. scf - Waveform		
		Ref. 0.0ns	Interval:	
	DNUP COUT		1	0
	G SETN	Name: Value:		
		PR 1		
	CLK	CLR 1		-
VCC	31 COUNTER	Den CIN 1	-	
	01	I LOAD 1		
Insert Node	と	🖸 📷 D/U 0		
Node Name: 4count 31 QA.Q		D3 0		
Default Value: 0		D2 0		
	C Output Pin Cancel	D1 0		
	Buried Node			w later
		- иуга от но		2 13
For Simulator Char	inel File (SCF) Only	1 - WY3 0		
Nodes & Groups from SNE				
[4count 31]QC.CLRN (B)	Type			
4count31 QC.CLK (B) 4count31 QB.Q (B)	✓ Inputs ✓ Registered			
4count31 QB.PRN (B) 4count31 QB.D (B)	Group Memory Bit			
4count31 QB.CLRN (B) 4count31 QB.CLK (B)	All Memory Word	<	1	>
4count 31 OA Q (B) 4count 31 OA PRN (B)				
4count31 QA.D (B)	Show All Node Name Synonyms			

FPLD można go użyć do symulacji projektu odszu-kując na liście "Node & Groups from SNF" (po uprzednim wskazaniu w polu "Type" opcji All) węzła opisanego w sposób

" | xxxxx.yyy | zzzz (K)"

gdzie **xxxxx** to nazwa bloku nad jego symbolem, **yyy** to numer referencyjny bloku na schemacie (z lewej strony pod blokiem), **zzzz** oznacza nazwę wyprowadzenia bloku a **K** kierunek transmisji sygnału. Po umieszczeniu wszystkich sygnałów koniecznych do symulacji danego projektu lub jego fragmentu <u>należy wyznaczyć czas trwania symulacji</u>. W tym celu należy wybrać w menu *File* funkcję *End Time...* i pojawiającym się okienku należy wpisać czas odpowiadający żądanej liczbie cykli symulacji pomnożonej przez 50 ns (dwukrotna szerokość siatki symulacji odpowiadającą taktowi zegara synchronizującego układ FPLd – 20 MHz).



Kolejnym etapem iest przypisanie wartości zmiennym wejściowym. Należy zacząć od sygnału taktującego. Po wskazaniu kursorem wartości w kolumnie "Value" odpowiadajacej CK należv wcisnąć prawy przycisk myszki i wybrać opcje Overwrite a następnie Clock....W poniższym okienku wskazuje się wartość początkową zegara a także co ile siatek w okienku symulacji sygnał ten ma zmienić swój stan na przeciwny.

nterval: 0.0ns	To: 2.5us
Starting Value: 0	•
Clock Period: 50.0ns	Multiplied By: 1

W podobny sposób można zdefiniować pozostałe sygnały.



Można także wskazać kursorem zakres przebiegu, który ma ulec zmianie i wprowadzić nową wartość ("Insert"), która przesunie prawą część przebiegu o długość wprowadzanej zmiany lub można zamienić starą na nową posługując się opcją "Overwrite" (w tym przypadku będzie dostępna również funkcja "Invert" zamieniająca istniejący stan na przeciwny).

W przypadku sygnałów zgrupowanych można im nadawać wartości liczbowe lub kolejne stany licznika.

nterval: 150.0	Ins	To: 2.5us	
Radix is: Hexa	Idecimal		
Starting Value:	1		ОК
Ending Value:	E		Cancel
Count Type:	Binary	Increment By:	1
	🕥 Gray Code		
Count Every:	25.0ns	Multiplied By:	1

W okienku jak obok można wskazać wartość początkową ("Starting Value"), zwiększaną o wartość wskazaną w polu "Increment By" co określoną w polu "Multiplied By" liczbę siatki. Można również wskazać sposób reprezentowania liczby – binarnie czy w kodzie Gray'a. Zmianie ulegnie tylko wskazany fragment przebiegu.

W kolumnie "Name" pojawił się sygnał grupowy D[3..0], którego elementami są sygnały D3, D2, D1 i D0. Można go wprowadzić wpisując w polu "Node Name" okienka "Insert Node" nazwę **D[3..0]** dzięki czemu uzyska się postać liczbową stanu grupy wejść. Podobnie można postąpić z wyjściami co uczyniono w poniższym przykładzie.



Pokazany zrzut z ekranu powstał w wyniku zasymulowania projektu poprzedzonego zapamiętaniem pliku symulacyjnego jako **altera.scf** gdzie "altera" jest nazwą projektu. <u>Tylko tak nazwany plik</u> <u>będzie użyty do symulacji projektu</u>.



Na pokazanych przebiegach zmieniono kod liczbowy wyświetlanych wartości zmiennej D[3..0] z domniemanej szesnastkowej na dziesiętną. Można to uczynić wskazując wybrany sygnał i dwukrotnie przyciskając lewy przycisk myszki. W otwartym okienku jak obok można dokonać odpowiedniego wyboru.

Symulacja projektu

Wywołanie symulatora można wykonać na wiele sposobów. W menu *MaxPlusII* można wskazać funkcję *Simulator*. Można wywołać symulator wskazując odpowiednią ikonkę (beczułka z napisem ".snf") w okienku kompilatora jak pokazano poniżej.



Wynik działania symulatora został już wcześniej pokazany. W przypadku wystąpienia błędów w pliku opisującym symulację moduł symulatora programu MaxPlusII wskaże je i należy je usunąć zgodnie z sugestiami symulatora.