## MaxPlusII – Konfigurowanie FPLD

Projektowany układ może być opisywany schematem lub za pomocą języków AHDL i VHDL. Zasady opisu projektu można znaleźć w pomocy programów MaxPlusII lub Quartus. Niezależnie od tego w jaki sposób projekt zostanie przestawiony a także jakim narzędziem będzie przetwarzany, konieczne jest wykonanie następujących czynności:

- kompilowanie projektu i jego poprawianie aż do momentu uzyskanie opisu bez błędów syntaktycznych;
- przypisanie sygnałom wejściowo/wyjściowych a także taktującym odpowiednich końcówek układu FPLD wyprowadzając je na odpowiednie złącza modułu;
- konfigurowanie układu FPLD.

## Kompilacja projektu

Przed rozpoczęciem procesu kompilacji trzeba wskazać: nazwę projektu oraz układ FPLD, w którym projekt ma być umieszczony. W tym celu w programie MaxPlusII należy wybrać w menu *File* wybrać opcję *Project* a następnie *Name* i wskazać plik zawierający projekt lub wcisnąć klawisze Ctrl+Shift+J tworząc projekt dla otwartego pliku z opisem układu. <u>Bez wskazania nazwy projektu niemożliwe będzie wykonanie następnych kroków konfiguracji układu FPLD</u>. W pokazanych niżej przykładowych zrzutach ekranu użyty został projekt **arytm\_strukt\_bsc**.

Następnie należy w menu *Assign* wybrać funkcję *Device...* i po otwarciu okna jak na rysunku 1 wskazać rodzinę ACEX1K, usunąć zaznaczenie "Show Only Fastest Speed Grades" i wskazać układ EP1K30TC144-3. Wybór należy potwierdzić przyciskiem OK.

Moduł kompilacji programu MaxPlusII można wywołać na wiele sposobów np. wciskając klawisze Ctrl+L lub wybrać w menu *Max+plus II* funkcję *Compiler*.

Device	X					
gTop of Hierarchy: c:\\altera_max\arytm_strukt_bsc.∨hd	ОК					
Device Family: ACEX1K	Cancel					
Devices: EP1K30TC144-3	Auto Device					
EP1K30TC144-3	Device Options					
EP1K30TC144-1 EP1K30TI144-2	Migration Device					
Show Only Fastest Speed Grades	Edit Chips >>					
Maintain Current Synthesis Regardless of Device or Speed Grade Changes						
Chip Name: arytm_strukt_bsc	Rename Chip					
Existing Device Assignments:	Cod Du					
arytm_strukt_bsc: > Device = EP1K30TC144-3; (Family = ACEX1K)	Chip Name					
	C Device Name					
	Change					
	Delete					

Rys.1 - Okienko wyboru układu FPLD

## Przypisanie końcówek układu FPLD

Skompilowany, bezbłędny projekt dostarcza informacji o sygnałach wejściowo/wyjściowych, którym należy przypisać końcówki układu FPLD. W tym celu należy w menu *Assign* wybrać funkcję *Pin/Location/Chip* i w okienku o tej samej nazwie należy wcisnąć przycisk **Search...** W okienku "Search Node Database" (jak na rys.2) można wskazać wybrany sygnał (po wcześniejszym wciśnięciu przycisku List), któremu należy przypisać końcówkę układu FPLD, wpisując jej numer w polu Pin lub wybrać go z listy dostępnych.

kin/Locat	tion/Chip		×
Top of Hier	rarchy: c:\\w12\altera_max\arytm_strukt_bsc.vhd		
Node Nam	e:		ок
Chip Name	arytm_strukt_bsc	• Ca	ancel
Chip Res	ource		
C Pin:	Special Cases):	<u> </u>	arch
C LC/IC	Search Node Database		
C LAB/I	Top of Hierarchy: c:\\w12\altera_max\arytm_struk	t_bsc.∨hd	
Anyw	Node Name:		1
Existing Pi		List	OK
	Names in Database:	<b>_</b>	Cancel
	CLR DIO DI1		List Nodes of Type
	DI2 DI3		🔽 Input
	D14 D15		🔽 Output
	D16 D17 D18		Bidirectional
	D19 D110		Registered
	DI11 DI12		Memory
		>	
	Show All Node Name Synonyms		
	Show Only Functions Implemented in Logic Cells &	Pins	
	Show All Node Name Synonyms	Pins	

Rys.2 - Okienko wyboru sygnału do przypisania końcówki

Wciśnięcie przycisku Add zatwierdza przypisanie i pozwala powtórzyć opisany proces dla następnego sygnału. Wciśnięcie przycisku OK zatwierdza przypisanie i zamyka okienko "Pin/Location/Chip" (rys.3).

Pin/Location/Chip	×
Top of Hierarchy: c:\\w12\altera_max\arytm_strukt_bsc.vhd	
Node Name: DI4	ОК
Chip Name: arytm_strukt_bsc	Close
Chip Resource	
Pin: 89      Pin Type (Only for Special Cases):	Search
← LC/IOC/EC:	Assign Device
C LAB/EAB:	Show Buried
C Anywhere on this Chip	Assignments
Existing Pin/Location/Chip Assignments:	Sort Bu
DI0 > chip = arytm_strukt_bsc; Input Pin = 83 DI1 > chip = arytm_strukt_bsc; Input Pin = 86	C Node News
DI2 > chip = arytm_strukt_bsc; Input Pin = 87 DI3 > chip = arytm_strukt_bsc; Input Pin = 88	Node Name     Assignment
DI4 > chip = arytm_strukt_bsc; Input Pin = 89	Assignment
	Change
< •	Delete

Rys.3 - Okienko przypisania końcówek układu FPLD

## Konfigurowanie FPLD

Przed przystąpieniem do zapisywania układu FPLD trzeba dokonać wyboru układu konfiguratora. W tym celu w menu *Max+plus II* wskazać funkcję *Programmer* i gdy nie "wyskoczy" okienko "Hardware Setup" należy w menu *Options* wybrać funkcję *Hardware Setup...* i ustalić następujące parametry: <u>Hardware Type = ByteBlaster(MV)</u>, <u>Parallel Port=LPT2:</u> (rys.4).

Hardware Setup				
ByteBlas	ter(MV)	•	OK	
0	Ŧ		Cancel	
NONE	Ŧ		Auto-Setup	
0	Ŧ		Self-Test	
NONE	Ŧ			
	P ByteBlas 0 NONE 0 NONE	P ByteBlaster(MV) 0 NONE	P ByteBlaster(MV)   NONE  NONE	

Rys.4 - Wybór konfiguratora układu FPLD

Kolejny krok to wskazanie pliku konfigurującego układ FPLD. W tym celu w menu *JTAG* należy wybrać funkcję *Multi-Device JTAG Chain Setup*. W okienku o tej nazwie należy wskazać typ układu (<u>DeviceName=EP1K30</u>) a następnie wybrać plik o rozszerzeniu **sof** i nazwie projektu potwierdzając wybór wciśnięciem przycisku Add (rys.5).

MAX+plus II - c:\0_pucy_wyklad\w12\altera	_max\arytm_strukt_bsc	
MAX+plus II File JTAG FLEX Assign Options W	indow Help	
📥 Programmer 📃 🗖 🗙		
Examine Program Verify		
Program Security Bit	Create Jam or SVF File	
File: arytm_strukt_bsc.sof		
Examine Device: EP1K30TC144-3	Input Files Device Name: Programming File Name:	
Blank-Check Checksum: 000271B9	EP1K30 v_wyklad\w12\altera_max\arytm_strukt_bsc.sof	Add
Configure	JTAG Device Attributes Select Programming File	Delete
	Device Names: Programming File Names:	Delete All
50 100	1 EP1K30 c:\0_pucy_wyklad\w12\altera_max\arytm_strukt_k	
Stop Open SCF		Urder
	· · · · · · · · · · · · · · · · · · ·	Down
	Output File	JTAG Chain File
	File Name: c:\0_pucy_wyklad\w12\altera_max\ar Select Output File	Save JCF
	File Format: jam (Jam Prog./Test Language 1." 💌	Bestore JCE
	Clock Frequency	
	Program     Fequency:	ОК
	C Venty	Cancel
	Supply Voltage: 3.3 volts	
For Help on this dialog box, press F1		

Rys.5 - Wybór pliku konfigurującego układ FPLD